

PAT-NO: JP410012895A  
DOCUMENT-IDENTIFIER: JP 10012895 A  
TITLE: MONOLITHIC ELECTRONIC DEVICE  
PUBN-DATE: January 16, 1998

INVENTOR-INFORMATION:

NAME

KAWAURA, HISAO

SAKAMOTO, TOSHIMORI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP08163959

APPL-DATE: June 25, 1996

INT-CL (IPC): H01L029/80, H01L027/10 , H01L029/06 ,  
H01L029/66 , H01L029/78  
, H01L049/00

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a monolithic device which operates at a high temperature.

SOLUTION: A semiconductor layer 107 having a thickness of several  $\mu\text{m}$ ; to several hundreds of  $\mu\text{m}$ ; , within an SOI substrate including about  $10^{18}$ - $10^{20}\text{cm}^{-3}$  impurities, is patterned so as to form a source electrode 101 and a drain electrode 103 by plasma etching or the like. Further, a thin line 104, having a width of several  $\mu\text{m}$ ; to several hundreds

**BEST AVAILABLE COPY**

of  $\text{\AA}$ ; and a length of  $\text{\AA}$ ; to several hundreds of  $\text{\AA}$ ; is formed between the source electrode 101 and the drain electrode 103. The thin line 104 has a narrow regions having a width of several  $\text{\AA}$ ; to several hundreds of  $\text{\AA}$ ; at positions 104a and 104b in its central portion, and has a region between these two regions, as an island 109. A gate electrode 102 is provided, via an insulating film 108, on the island 109. The island 109 between two narrow potential barriers is formed by applying a voltage to the gate electrode 102.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-12895

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/80		9447-4M	H 0 1 L 29/80	A
27/10	4 5 1		27/10	4 5 1
29/06			29/06	
29/66			29/66	
29/78			49/00	Z

審査請求 有 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平8-163959

(22)出願日 平成8年(1996)6月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川浦 久雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 阪本 利司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 松浦 兼行

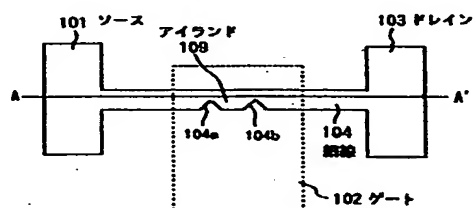
(54)【発明の名称】 単一電子素子

(57)【要約】

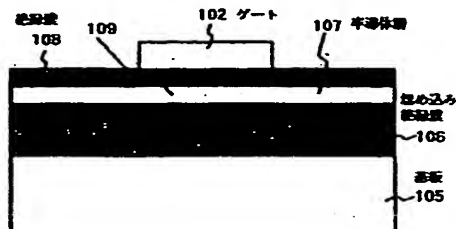
【課題】 従来は、トンネルバリアとして細線端に形成される電位バリアを用いるが、高温動作に限界がある。

【解決手段】 不純物を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度含むSOI基板内の、厚さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ の半導体層107をパターンニングし、プラズマエッチングなどを用いてソース101及びドレイン103を形成すると共に、これらソース101とドレイン103間に幅数 $\mu\text{m}$ から数百 $\mu\text{m}$ 、長さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の細線104を形成する。細線中央部には104a、104bで示す2か所に数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の幅の狭い領域を設け、この2つの領域に挟まれた領域をアイランド109とする。アイランド109上には絶縁膜108を介してゲート102が設けられる。ゲート102に電圧を印加することにより、2つの狭い電位バリアに挟まれたアイランド109を形成できる。

本発明の第1の実施の形態の構成図



(a)



(b)

## 【特許請求の範囲】

【請求項1】 基板上に埋め込み絶縁膜及び半導体層が積層され、該半導体層がドレイン及びソースとそれらの間の細線からなる構成とされた単一電子素子において、前記細線を電氣的に縮退する程度の不純物を導入し、かつ、複数の電氣的バリア領域に挟まれた少なくとも一つのアイランドが存在するように形成し、前記電氣的バリア領域を前記細線とは電氣的に絶縁されたゲートに印加する電圧に基づき空乏化する構成としたことを特徴とする単一電子素子。

【請求項2】 前記電氣的バリア領域は、前記細線の幅を該細線の他の領域の幅に比し小さくした領域であることを特徴とする請求項1記載の単一電子素子。

【請求項3】 前記電氣的バリア領域は、前記細線の厚さを該細線の他の領域の厚さに比し小さくした領域であることを特徴とする請求項1記載の単一電子素子。

【請求項4】 前記ゲートは、前記半導体層により前記アイランドの近傍に形成されていることを特徴とする請求項1乃至3のうちいずれか一項記載の単一電子素子。

【請求項5】 前記ゲートは、前記半導体層を被覆する絶縁膜上で、かつ、前記アイランドの近傍に形成されていることを特徴とする請求項1乃至3のうちいずれか一項記載の単一電子素子。

【請求項6】 前記アイランドは複数形成され、互いに直列又は並列に接続されていることを特徴とする請求項1乃至3のうちいずれか一項記載の単一電子素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は単一電子素子に係り、特に単一電子の移動により動作する単一電子素子に関する。

## 【0002】

【従来の技術】従来より高温動作可能で、制御された微細構造を持つ単一電子素子が知られている(Y. Takahashi et al., IEDM Technical Digest, p. 938, 1994)。図5はこの文献に記載された従来の単一電子素子の一例の構成図を示し、同図(a)は上面図、同図(b)は図5(a)のA-A'線断面図である。

【0003】この構造の従来の単一電子素子を製造するには、まず、半導体基板505の上に埋め込み絶縁膜506が形成され、更にその上に単結晶のシリコン膜が形成された、厚さ50nmのSOI (Silicon On Insulator) 基板を用いて、ソース501とドレイン503を公知の方法で形成後、これらソース501及びドレイン503と、ソース501とドレイン503間の長さ50nm、幅50nmの細線504をプラズマエッチングを用いて加工した後熱酸化を行う。この熱酸化はソース501とドレイン503間の細線中央部に対し細線端の幅を細くするためと、後に形成するゲート502と細線504との間でのショートを防止するために行う。

【0004】この熱酸化によりソース501とドレイン503間の細線中央部は、図5(a)、(b)に示すように熱酸化時の体積膨張に伴うストレスのため、酸化速度が小さく、細線は中央が幅方向及び厚さ方向にそれぞれ膨らんだ形状のアイランド509となる。その後、公知の方法により絶縁膜508を介してゲート502が形成される。

【0005】この構造において、ゲート502に電圧を印加して細線に反転層を誘起する場合、細線中央部に比べ細線端の方が絶縁膜厚が厚いため、しきい値電圧が大きくなる。また、細線中央部に比べて細線端の方が細線幅が細くピンチオフし易い。このため、細線端は電位バリアとして働き、細線中央部に量子ドットが形成されることとなる。この量子ドットのサイズは、数十nm程度と小さいため、静電エネルギーは比較的大きく、室温においてもクーロンブロッケイド振動が観測されている。

## 【0006】

【発明が解決しようとする課題】しかるに、上記の従来の単一電子素子の構造は、トンネルバリアとして細線端に形成される電位バリアを用いるが、細線中の不純物濃度が小さく、低温でキャリアがフリーズアウトするため、幅の広いバリアになってしまう。動作温度の向上のためには、幅が小さく障壁の高いバリアが必要であるが、細線中の不純物濃度を大きくするなどの方法によりバリア高を大きくすると、同時にバリア幅も大きくなるため、トンネリング抵抗が大きくなり過ぎ、高温動作に限界があるという問題がある。

【0007】本発明は上記の点に鑑みなされたもので、高温動作可能な単一電子素子を提供することを目的とする。

【0008】また、本発明の他の目的は、作製が簡単な単一電子素子を提供することにある。

## 【0009】

【課題を解決するための手段】上記の目的を達成するため、本発明は基板上に埋め込み絶縁膜及び半導体層が積層され、半導体層がドレイン及びソースとそれらの間の細線からなる構成とされた単一電子素子において、細線を電氣的に縮退する程度の不純物を導入し、かつ、複数の電氣的バリア領域に挟まれた少なくとも一つのアイランドが存在するように形成し、電氣的バリア領域を細線とは電氣的に絶縁されたゲートに印加する電圧に基づき空乏化する構成としたことを特徴とする。

【0010】本発明では、ゲートにある程度以上の値の電圧を印加した場合、細線の電氣的バリア領域のみ完全空乏化する。このゲート電圧を大きくしてバリア高を大きくしても、細線の不純物濃度が電氣的に縮退する程度大きく、細線の長さ方向(長手方向)のバリア幅の増大を小さくできる。

【0011】ここで、上記の電氣的バリア領域は、細線の幅を細線の他の領域の幅に比し小さくした領域か、細

線の厚さを細線の他の領域の厚さに比し小さくした領域であることを特徴とする。

【0012】また、本発明において、ゲートは半導体層によりアイランドの近傍に形成されるか、半導体層を被覆する絶縁膜上で、かつ、アイランドの近傍に形成されていることを特徴とする。

【0013】更に、本発明ではアイランドは複数形成され、互いに直列又は並列に接続されていることを特徴とする。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0015】(第1の実施の形態)図1は本発明になる単一電子素子の第1の実施の形態の構成図を示し、同図(a)は上面図、同図(b)は図1(a)のA-A'線断面図である。

【0016】この実施の形態の単一電子素子では、半導体基板105の上に埋め込み絶縁膜106が形成され、更にその上に単結晶のシリコン膜が形成された、不純物を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度含むSOI基板内の、厚さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ の半導体層107をパターンニングし、プラズマエッチングなどを用いてソース101及びドレイン103を形成すると共に、これらソース101とドレイン103間に幅数 $\mu\text{m}$ から数百 $\mu\text{m}$ 、長さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の細線104を形成する。

【0017】この細線中央部には104a、104bで示す2か所に数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の幅の狭い領域を設け、この2つの領域に挟まれた領域をアイランド109とする。アイランド109上には絶縁膜108を介してゲート102が設けられる。

【0018】次に、この実施の形態の動作について説明する。半導体層107は不純物が $10^{19} \text{ cm}^{-3}$ 程度導入されているため、電気的に縮退しており、低温においても金属的伝導を示す。しかしながら、ゲート102に電圧を印加すると、細線104の表面を数nm程度空乏化させることができる。このため、ゲート102にある程度以上の値の電圧を印加した場合、細線幅の狭い前記2か所の領域104a、104bのみ完全空乏化し、これらの領域に電位バリアが形成されることになる。

【0019】ゲート102への印加電圧を更に高くしていくと、上記の電位バリア高は大きくなっていくが、細線104中の不純物濃度が高いので、細線104の長さ方向(長手方向)のバリア幅の増大は小さい。このように、この第1の実施の形態においては、ゲート102に電圧を印加することにより、2つの狭い電位バリアに挟まれたアイランド109を形成でき、単一電子素子構造を実現することができる。

【0020】(第2の実施の形態)次に、本発明の第2の実施の形態について説明する。図2は本発明になる単一電子素子の第2の実施の形態の構成図を示し、同図

(a)は上面図、同図(b)は図2(a)のA-A'線断面図である。

【0021】この実施の形態の単一電子素子では、半導体基板205の上に埋め込み絶縁膜206が形成され、更にその上に単結晶のシリコン膜が形成された、不純物を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度含むSOI基板内の、厚さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ の半導体層207をパターンニングし、プラズマエッチングなどを用いてソース201及びドレイン203を形成すると共に、これらソース201とドレイン203間に幅数 $\mu\text{m}$ から数百 $\mu\text{m}$ 、長さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の細線204を形成する。

【0022】この細線中央部には204a、204bで示す2か所に数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の厚さの小さい領域を設け、この2つの領域に挟まれた領域をアイランド209とする。アイランド209上には絶縁膜208を介してゲート202が設けられる。

【0023】次に、この実施の形態の動作について説明する。半導体層207は不純物が $10^{19} \text{ cm}^{-3}$ 程度導入されているため、電気的に縮退しており、低温においても金属的伝導を示す。しかしながら、ゲート202に電圧を印加すると、細線204の表面を数nm程度空乏化させることができる。このため、ゲート202にある程度以上の値の電圧を印加した場合、細線の厚さの小さい領域204a、204bのみ完全空乏化し、これらの領域に電位バリアが形成されることになる。

【0024】ゲート202への印加電圧を更に高くしていくと、上記の電位バリア高は大きくなっていくが、細線204中の不純物濃度が高いので、細線204の長さ方向(長手方向)のバリア幅の増大は小さい。このように、この第2の実施の形態においては、ゲート202に電圧を印加することにより、2つの狭い電位バリアに挟まれたアイランド209を形成でき、単一電子素子構造を実現することができる。

【0025】(第3の実施の形態)次に、本発明の第3の実施の形態について説明する。図3は本発明になる単一電子素子の第3の実施の形態の構成図を示し、同図(a)は上面図、同図(b)は図3(a)のA-A'線断面図である。

【0026】この実施の形態の単一電子素子では、半導体基板305の上に埋め込み絶縁膜306が形成され、更にその上に単結晶のシリコン膜が形成された、不純物を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度含むSOI基板内の、厚さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ の半導体層307をパターンニングし、プラズマエッチングなどを用いてソース301及びドレイン303を形成すると共に、これらソース301とドレイン303間に幅数 $\mu\text{m}$ から数百 $\mu\text{m}$ 、長さ数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の細線304を形成する。

【0027】この細線中央部には304a、304bで示す2か所に数 $\mu\text{m}$ から数百 $\mu\text{m}$ 程度の幅の狭い領域が設けられ、この2つの領域に挟まれた領域がアイランド30

5.

6

9とされる。また、細線304形成と同時に半導体層307をパターンニングすることにより、図3(a)に示すように、アイランド309から100nmの距離にゲート302を形成する。アイランド309はパッシベーションのために絶縁膜308で被覆される。

【0028】次に、この実施の形態の動作について説明する。半導体層307は不純物が $10^{19}\text{cm}^{-3}$ 程度導入されているため、電気的に縮退しており、低温においても金属的伝導を示す。しかしながら、ゲート302に電圧を印加すると、細線304の表面を数nm程度空乏化させることができる。このため、ゲート302にある程度以上の値の電圧を印加した場合、細線の幅の狭い領域304a、304bのみ完全空乏化し、これらの領域に電位バリアが形成されることになる。

【0029】ゲート302への印加電圧を更に高くしていくと、上記の電位バリア高は大きくなっていくが、細線304中の不純物濃度が高いので、細線304の長さ方向(長手方向)のバリア幅の増大は小さい。このように、この第3の実施の形態においては、ゲート302に電圧を印加することにより、2つの狭い電位バリアに挟まれたアイランド309を形成でき、単一電子素子構造を実現することができる。

【0030】(第4の実施の形態)次に、本発明の第4の実施の形態について説明する。図4は本発明になる単一電子素子の第4の実施の形態の構成図を示し、同図(a)は上面図、同図(b)は図3(a)のA-A'線断面図である。

【0031】この実施の形態の単一電子素子では、半導体基板405の上に埋め込み絶縁膜406が形成され、更にその上に単結晶のシリコン膜が形成された、不純物を $10^{18}\sim 10^{20}\text{cm}^{-3}$ 程度含むSOI基板内の、厚さ数Åから数百Åの半導体層307をパターンニングし、プラズマエッチングなどを用いてソース401及びドレイン403を形成すると共に、これらソース401とドレイン403間に幅数Åから数百Å、長さ数Åから数百Å程度の細線404を形成する。

【0032】この細線中央部には404a、404b、404cで示す3か所に数Åから数百Å程度の幅の狭い領域が設けられ、この3つの領域に挟まれた2領域がアイランド409とされる。アイランド409上には絶縁膜408を介してゲート402が形成される。

【0033】次に、この実施の形態の動作について説明する。半導体層407は不純物が $10^{19}\text{cm}^{-3}$ 程度導入されているため、電気的に縮退しており、低温においても金属的伝導を示す。しかしながら、ゲート402に電圧を印加すると、細線404の表面を数nm程度空乏化させることができる。このため、ゲート402にある程度以上の値の電圧を印加した場合、細線の幅の狭い領域404a、404b、404cのみ完全空乏化し、これらの領域に電位バリアが形成されることになる。

【0034】ゲート402への印加電圧を更に高くしていくと、上記の電位バリア高は大きくなっていくが、細線404中の不純物濃度が高いので、細線404の長さ方向(長手方向)のバリア幅の増大は小さい。

【0035】このように、この第4の実施の形態においては、ゲート402に電圧を印加することにより、狭い電位バリアに挟まれた2つのアイランド409を形成でき、アイランド409が直列に接続された単一電子素子構造を実現することができる。また、この実施の形態では、アイランド409が直列に2つ接続されているため、コ・トンネリング(Co-Tunnelling)が起こりにくく、明瞭なクーロンブロッケイド振動の観測ができる。

【0036】

【実施例】次に、上記の各実施の形態の実施例について説明する。図1の実施の形態の実施例について説明する。図1の構造の単一電子素子を製造する方法としては、まず、リンを $5\times 10^{19}\text{cm}^{-3}$ 程度含むシリコン基板を用いて、そのシリコン基板中に酸素を高温度イオン注入し、シリコン基板中に酸化膜を形成するSIMOX (Separation by Implanted Oxygen) 法によりSOI基板を形成する。埋め込み絶縁膜106の膜厚は300nm、半導体層107の膜厚は50nm程度である。更に、熱酸化を行うことにより、半導体層107の薄膜化を行い、最終的に10nm程度の膜厚が実現できる。

【0037】続いて、HFで表面のシリコン酸化膜を除去した後、電子線露光と反応性イオンエッチング(RIE)技術により、半導体層107を加工してソース401及びドレイン403を形成すると共に、それらの間を幅10nm、長さ100nmの細線状に加工する。細線中央部に隣接して2か所104a、104bに幅の狭い領域を設け、この領域に挟まれた領域をアイランド109とする。細線幅の狭い領域は、電子線露光の際に細線104に幅の狭い領域を設けることにより形成可能である。この幅の狭い領域の幅は5nm、長さは10nm程度のものが実現可能である。また、アイランド109の長さは約10nm程度である。

【0038】次に、デバイス上に化学気相成長(CVD)法により100nm程度の厚さのシリコン酸化膜を成長し、絶縁膜108を形成する。続いて、光リソグラフィ技術とRIEエッチング技術とにより、ソース101及びドレイン103の各領域上の絶縁膜108にコンタクトホールを開口し、この後アルミニウムを300nm程度蒸着する。光リソグラフィ技術とRIEエッチング技術によりアルミニウムの加工を行い、ソース101、ドレイン103への電極形成及びゲート102の形成を絶縁膜108上に同時に行う。

【0039】以上のようにして形成された単一電子素子において、ゲート102に-3V以上の負電圧を印加した場合、温度4Kにおいて明瞭なクーロンブロッケイド振動が観測された。また、この振動は77Kにおいても

観測され、高温動作可能であることが確認できた。

【0040】次に、図2の第2の実施の形態の実施例について説明する。図2の構造の単一電子素子を製造する方法としては、まず、リンを $5 \times 10^{19} \text{ cm}^{-3}$ 程度含むシリコン基板を用いて、SIMOX法によりSOI基板を形成する。埋め込み絶縁膜206の膜厚は300 nm、半導体層207の膜厚は50 nm程度である。更に、熱酸化を行うことにより、半導体層207の薄膜化を行い、最終的に10 nm程度の膜厚が実現できる。

【0041】続いて、HFで表面のシリコン酸化膜を除去した後、電子線露光とRIEエッチング技術により、半導体層207を加工してソース201及びドレイン203を形成すると共に、それらの間を幅10 nm、長さ100 nmの細線状に加工する。細線中央部に隣接して2か所204a、204bに厚さの小さい領域を設け、この領域に挟まれた領域をアイランド209とする。細線の厚さの小さい領域の長さは20 nm、厚さは5 nm程度のものが実現可能である。また、アイランド209の領域の長さは、約20 nm程度である。

【0042】次に、デバイス上にCVD法により100 nm程度の厚さのシリコン酸化膜を成長し、絶縁膜208を形成する。続いて、光リソグラフィ技術とRIEエッチング技術とにより、ソース201及びドレイン203の各領域上の絶縁膜208にコンタクトホールを開口し、この後アルミニウムを300 nm程度蒸着する。光リソグラフィ技術とRIEエッチング技術によりアルミニウムの加工を行い、ソース201、ドレイン203への電極形成及びゲート202の形成を絶縁膜208上に同時に行う。

【0043】以上のようにして形成された単一電子素子において、ゲート202に-2.5 V以上の負電圧を印加した場合、温度4 Kにおいて明瞭なクーロンブロックイド振動が観測された。また、この振動は50 Kにおいても観測され、高温動作可能であることが確認できた。

【0044】次に、図3の第3の実施の形態の実施例について説明する。図3の構造の単一電子素子を製造する方法としては、まず、リンを $5 \times 10^{19} \text{ cm}^{-3}$ 程度含むシリコン基板を用いて、SIMOX法によりSOI基板を形成する。埋め込み絶縁膜306の膜厚は300 nm、半導体層307の膜厚は50 nm程度である。更に、熱酸化を行うことにより、半導体層307の薄膜化を行い、最終的に10 nm程度の膜厚が実現できる。

【0045】続いて、HFで表面のシリコン酸化膜を除去した後、電子線露光とRIEエッチング技術により、半導体層307を加工してソース301及びドレイン303を形成すると共に、それらの間を幅10 nm、長さ100 nmの細線状に加工する。細線中央部には隣接して2か所304a、304bに細線幅の狭い領域を設け、この領域に挟まれた領域をアイランド309とする。細線幅の狭い領域は電子線露光の際、パターン形成

を行う。この細線幅の狭い領域の幅は5 nm、長さは10 nm程度のものが実現可能である。また、アイランド309の領域の長さは、約20 nm程度である。

【0046】また、細線304の形成と同時に半導体層307の加工を行うことにより、ゲート302を形成する。次に、デバイス上にCVD法により100 nm程度の厚さのシリコン酸化膜を成長し、絶縁膜308を形成する。続いて、光リソグラフィ技術とRIEエッチング技術とにより、ソース301及びドレイン303とゲート302の各領域上の絶縁膜308にコンタクトホールを開口し、この後アルミニウムを300 nm程度蒸着する。光リソグラフィ技術とRIEエッチング技術によりアルミニウムの加工を行い、ソース301、ドレイン303及びゲート302への電極形成を絶縁膜308上に同時に行う。

【0047】以上のようにして形成された単一電子素子において、ゲート302に-1.1 V以上の負電圧を印加した場合、温度4 Kにおいて明瞭なクーロンブロックイド振動が観測された。また、この振動は77 Kにおいても観測され、高温動作可能であることが確認できた。

【0048】次に、図4の第4の実施の形態の実施例について説明する。図4の構造の単一電子素子を製造する方法としては、まず、リンを $5 \times 10^{19} \text{ cm}^{-3}$ 程度含むシリコン基板を用いて、SIMOX法によりSOI基板を形成する。埋め込み絶縁膜406の膜厚は300 nm、半導体層407の膜厚は50 nm程度である。更に、熱酸化を行うことにより、半導体層407の薄膜化を行い、最終的に10 nm程度の膜厚が実現できる。

【0049】続いて、HFで表面のシリコン酸化膜を除去した後、電子線露光とRIEエッチング技術により、半導体層407を加工してソース401及びドレイン403を形成すると共に、それらの間を幅10 nm、長さ100 nmの細線状に加工する。細線中央部には隣接して3か所404a、404b、404cに細線幅の狭い領域を設け、この領域に挟まれた2つの領域をアイランド409とする。細線幅の狭い領域は電子線露光の際、パターン形成を行う。この細線幅の狭い領域の幅は5 nm、長さは10 nm程度のものが実現可能である。また、アイランド409の領域の長さは、約10 nm程度である。

【0050】次に、デバイス上にCVD法により100 nm程度の厚さのシリコン酸化膜を成長し、絶縁膜408を形成する。続いて、光リソグラフィ技術とRIEエッチング技術とにより、ソース401及びドレイン403の各領域上の絶縁膜408にコンタクトホールを開口し、この後アルミニウムを300 nm程度蒸着する。光リソグラフィ技術とRIEエッチング技術によりアルミニウムの加工を行い、ソース401、ドレイン403への電極形成及びゲート402の形成を絶縁膜408上に同時に行う。

【0051】以上のようにして形成された単一電子素子において、ゲート402に-3V以上の負電圧を印加した場合、温度4Kにおいて明瞭なクーロンブロッケイド振動が観測された。また、この振動は77Kにおいても観測され、高温動作可能であることが確認できた。

【0052】以上、4つの実施の形態の実施例について説明したが、本発明はこれに限定されるものではなく、以下の変形例が考えられるものである。すなわち、SOI基板の代わりにSOS (Silicon On Sapphire) 基板を用いてもよい。また、酸化膜上のポリシリコンあるいはそのポリシリコンをアニールすることにより、単結晶化した半導体を半導体層107、207、307、407として用いてもよい。

【0053】また、実施例において半導体層中のドーパントはn型不純物のリンを用いたが、ホウ素等のp型不純物でもよい。ただし、この場合は、ソース、ドレインの導電型はp型となる。また、絶縁膜108、208、308、408としてシリコン酸化膜以外に、シリコン窒化膜やSiON膜を用いてもよい。また、第3の実施の形態においては、幅の狭い領域を持つ細線304の構造について説明したが、第2の実施の形態のように、厚さの小さい領域を持つ細線についても半導体層でゲートを形成することは容易に可能である。

【0054】更に、第4の実施の形態では、2つのアイランド409を形成するように説明したが、3つ以上のアイランドが直列に接続された構造とすることも容易に実現可能である。また、更に、2つ以上のアイランドが並列に接続された構造（例えばソース401とドレイン403の間に細線404を複数本並列に形成する）も同様に実現可能である。

【0055】

【発明の効果】以上説明したように、本発明によれば、

バリア高を大きくしても、細線の不純物濃度が電氣的に縮退する程度大きく、細線の長さ方向（長手方向）のバリア幅の増大を小さくでき、アイランドを幅の狭くエネルギー障壁の高いバリアで電氣的に閉じ込めることができるため、デバイスの数十K以上の高温動作を可能にできる。

【0056】また、本発明によれば、ゲートを半導体層によりアイランドの近傍に形成されるようにすることにより、ゲートを細線と同一のプロセスで形成できるため、デバイス作製工程を簡略化できる。

【0057】更に、本発明によればアイランドは複数形成され、互いに直列接続することにより、コ・トンネリングの影響を低減でき、よって明瞭なクーロンブロッケイド振動を観測できる。また、互いに並列接続することにより特性ばらつきを低減できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成図である。

【図2】本発明の第2の実施の形態の構成図である。

【図3】本発明の第3の実施の形態の構成図である。

【図4】本発明の第4の実施の形態の構成図である。

【図5】従来の一例の構成図である。

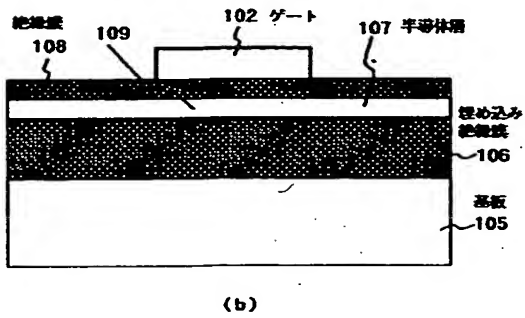
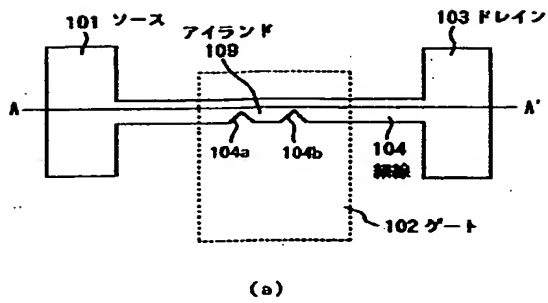
#### 【符号の説明】

101、201、301、401	ソース
102、202、302、402	ゲート
103、203、303、403	ドレイン
104、204、304、404	細線
105、205、305、405	基板
106、206、306、406	埋め込み絶縁膜
107、207、307、407	半導体層
108、208、308、408	絶縁膜
109、209、309、409	アイランド



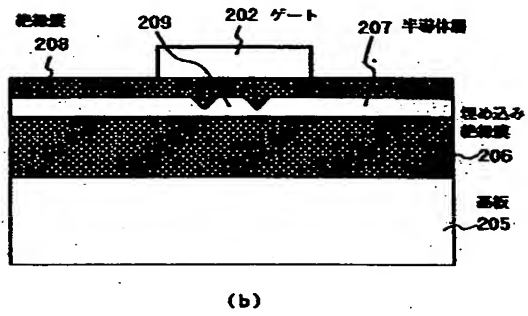
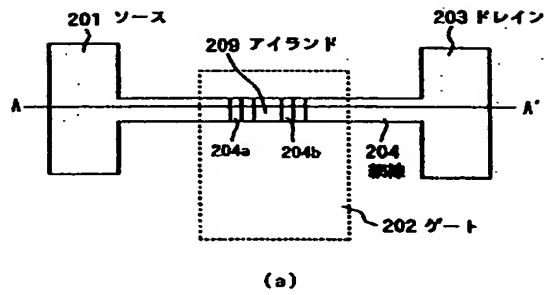
【図1】

本発明の第1の実施の形態の構成図



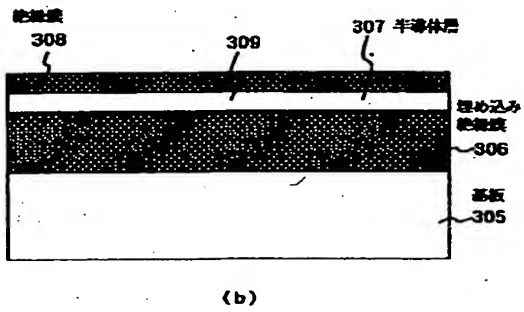
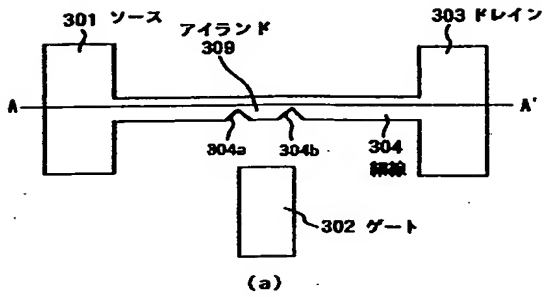
【図2】

本発明の第2の実施の形態の構成図



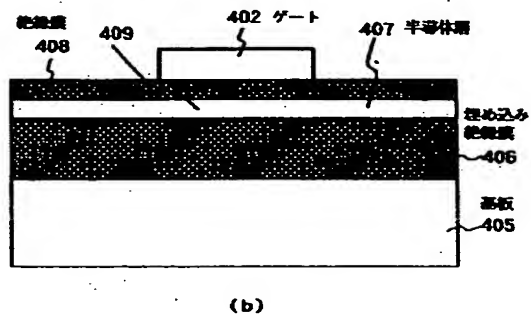
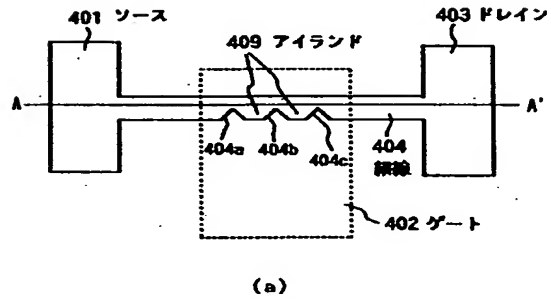
【図3】

本発明の第3の実施の形態の構成図



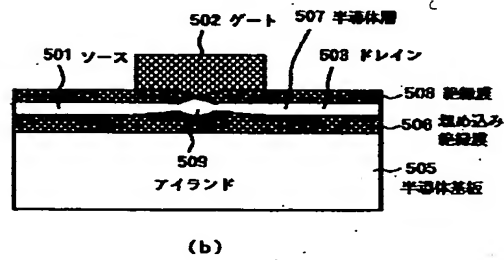
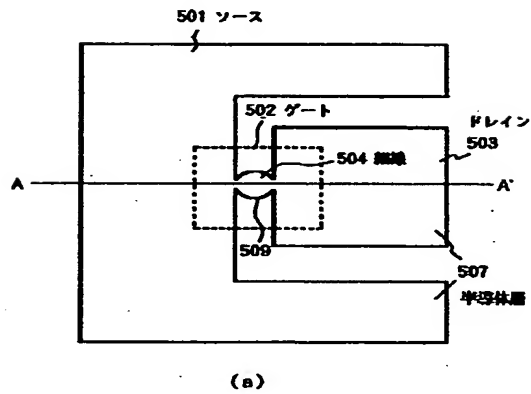
【図4】

本発明の第4の実施の形態の構成図



【図5】

従来の単一電子素子の一例の構成図



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 49/00

識別記号 庁内整理番号

FI  
H01L 29/78

技術表示箇所

301J

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**